

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP363073717A

DOCUMENT-IDENTIFIER: JP 63073717 A

TITLE: PHASE LOCKED OSCILLATOR

PUBN-DATE: April 4, 1988

INVENTOR-INFORMATION:

NAME

MUTO, HIROSHI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP61216995

APPL-DATE: September 17, 1986

INT-CL (IPC): H03L007/14

US-CL-CURRENT: 331/25

ABSTRACT:

PURPOSE: To hold an output frequency to a value before a fault takes place even if a reference input signal is faulty by providing a **logic circuit blocking a clock** signal to a counter circuit in response to an output signal of a fault detection circuit.

CONSTITUTION: If a fault takes place in the reference input signal given to an input terminal 100, a fault detection circuit 7 detects the fault immediately and produces a logic level 0. As a result, a clock signal from a **clock generating circuit 6 is blocked by a logic circuit 8** and not given to a counter circuit 3. Thus, an output signal of the counter circuit 3 keeps the

value before a fault takes place in the reference input signal. Thus, the output voltage of the D/A converter circuit 4 converting the signal into an analog voltage, that is, the control voltage of the voltage-controlled oscillator 5 keeps the value before a fault takes place in the reference input signal, then the output frequency of the voltage controlled oscillator 5 remains unchanged, that is, a value before the fault takes place in the reference input signal.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-73717

⑮ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)4月4日

H 03 L 7/14

7530-5J

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 位相同期発振器

⑯ 特 願 昭61-216995

⑰ 出 願 昭61(1986)9月17日

⑱ 発 明 者 武 藤 宏 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 山川 政樹 外2名

明 細 書

1. 発明の名称

位相同期発振器

2. 特許請求の範囲

電圧制御発振器と、与えられたクロック信号を制御信号に応じて加算または減算計数する計数回路と、この計数回路の出力信号を電圧に変換し前記電圧制御発振器に制御電圧を与えるデジタル・アナログ変換器と、前記電圧制御発振器の出力信号と基準入力信号の位相差に応じた電圧を発生する位相比較回路と、この位相比較回路の出力電圧と前記電圧制御発振器の制御電圧を比較し前記計数回路に制御信号を与える電圧比較回路と、クロック信号を発生するクロック発生回路と、前記基準入力信号の障害を検出する障害検出回路と、この障害検出回路の出力信号を一方の入力とし前記クロック発生回路からのクロック信号を他方の入力とし該障害検出回路の出力信号に応じて該クロック信号を阻止し前記計数回路にクロック信号を与える論理回路とを備えてなることを特徴とす

る位相同期発振器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は通信装置などに多用される位相同期発振器に係り、特にその基準入力信号が障害となつた後も、障害発生以前の周波数を保持し得る位相同期発振器に関するものである。

〔従来の技術〕

従来の位相同期発振器の一例を第3図に示し説明する。

従来の位相同期発振器は、この第3図に示すように、入力端子100に加えられる基準入力信号と電圧制御発振器5の出力信号の位相差を比較し、この位相差に比例した電圧を上記の電圧制御発振器5に制御電圧として与える位相比較回路1より構成される。

〔発明が解決しようとする問題点〕

上述した従来の位相同期発振器では、入力端子100に加えられる基準入力信号に障害が発生すると、一般に位相比較回路1に加えられる2つの信号の位相差は不定となる。この結果位相比較回路

1から電圧制御発振器5に与えられる制御電圧も不足となり、電圧制御発振器5の出力周波数は、基準入力信号に障害が発生する以前の周波数と大きく異なってしまうという問題点があった。

そして、従来の位相同期発振器においても上記の問題点を補うため、基準入力信号が障害となつた場合に、電圧制御発振器5がその中心周波数を発生し得る機能を付加したものが知られている。

しかしながら、このような機能を有する従来の位相発振器においても一般に電圧制御発振器5の中心周波数と基準入力信号が正常に与えられている場合の出力周波数が異なるため、上記の問題点を本質的に解決し得なかつた。

〔問題点を解決するための手段〕

本発明による位相同期発振器は、電圧制御発振器と、与えられたクロック信号を制御信号に応じて加算または減算計数する計数回路と、この計数回路の出力信号を電圧に変換し上記電圧制御発振器に制御電圧を与えるデジタル・アナログ変換回路と、上記電圧制御発振器の出力信号と基準入

図において、100は基準入力信号が印加される入力端子、200は出力信号が得られる出力端子である。

そして、1は入力端子100からの基準入力信号と電圧制御発振器5の出力信号の位相を比較しその位相差に応じた電圧を発生する位相比較回路、2はこの位相比較回路1の出力電圧と上記電圧制御発振器5の制御電圧を比較し後述する計数回路に制御信号を与える電圧比較回路で、この電圧比較回路2は両者の電圧差に応じて2つの論理レベルを発生するように構成されている。ここでは便宜上、位相比較回路1の出力電圧が電圧制御発振器5の制御電圧よりも高い場合には論理レベル“1”を発生し、また、制御電圧よりも低い場合には論理レベル“0”を発生するものとする。

3は与えられたクロック信号を上記の電圧比較回路2より与えられる制御信号に応じて加算または減算計数する計数回路で、アップダウンカウンタなどにより構成される。なお、この実施例では、制御信号として論理レベル“1”を与えられている

力信号の位相差に応じた電圧を発生する位相比較回路と、この位相比較回路の出力電圧と上記電圧制御発振器の制御電圧を比較し上記計数回路に制御信号を与える電圧比較回路と、クロック信号を発生するクロック発生回路と、上記基準入力信号の障害を検出する障害検出回路と、この障害検出回路の出力信号を一方の入力とし、上記クロック発生回路からのクロック信号を他方の入力としその障害検出回路の出力信号に応じてそのクロック信号を阻止し上記計数回路にクロック信号を与える論理回路とを備えてなるようにしたものである。

〔作用〕

本発明においては、基準入力信号が障害となつた場合においても、その出力周波数を基準入力に障害が発生する以前の値に保持する。

〔実施例〕

以下、図面に基づき本発明の実施例を詳細に説明する。

第1図は本発明による位相同期発振器の一実施例を示すブロック図である。

場合には加算計数を行い、論理レベル“0”を与えられている場合には減算計数を行うものとする。

4はこの計数回路3の出力信号であるデジタル信号をアナログ電圧に変換し、電圧制御発振器5に制御電圧を与えるデジタル・アナログ変換回路（以下、D/A変換回路と呼称する）、6は計数回路3に与えるためのクロック信号を発生するクロック発生回路、7は基準入力信号の障害を検出する障害検出回路で、この障害検出回路7は基準入力信号に障害がない場合は論理レベル“1”を出力し、障害状態では論理レベル“0”を出力するように構成されている。8はこの障害検出回路7の出力信号を一方の入力とし上記クロック発生回路6からのクロック信号を他方の入力とし障害検出回路7の出力信号に応じてクロック信号を阻止し計数回路3にクロック信号を与える論理回路で、この論理回路8は上述したように、クロック発生回路6からのクロック信号と障害検出回路7の出力信号を2つの入力信号としており、この実施例では単純なアンド(AND)回路である。この結果、

基準入力信号が正常な場合は、クロック発生回路6からのクロック信号は上記の計数回路3に与えられるが、基準入力信号が障害状態となると論理回路8により阻止され、計数回路3にはクロック信号が与えられない。

つぎにこの第1図に示す実施例の動作を説明する。

まず、基準入力信号が正常な場合の動作について説明する。

入力端子100に与えられる基準入力信号が正常な場合には、障害検出回路7は論理レベル“1”を発生するので、ロック発生回路6からのクロック信号は論理回路8を介して計数回路3に与えられる。

そして、位相比較回路1はこの第1図に示す本位相同期発振器の入出力信号の位相差に応じた電圧を発生している。また、この電圧は常に電圧比較回路2により電圧制御発振器5の制御電圧と比較されている。

この電圧比較の結果、位相比較回路1の出力電

圧に障害が発生した場合の動作について説明する。

上記の状態になると、障害検出回路7はただちに、障害を検出し、論理レベル“0”を発生する。この結果、クロック発生回路6からのクロック信号は論理回路8において阻止され、計数回路3には与えられない。したがって、計数回路3の出力信号は基準入力信号に障害が発生する以前の値を保持することになる。よつて、この信号をアナログ電圧に変換するD/A変換回路4の出力電圧、すなわち、電圧制御発振器5の制御電圧も基準入力信号に障害が発生する以前の値を保持するので、電圧制御発振器5の出力周波数は、基準入力信号に障害が発生する以前の値のまま変化しない。

以上の説明のように、本発明の位相同期発振器は基準入力信号が正常な場合は従来の位相同期発振器と同等の動作を行ない、基準入力信号に障害が発生した場合には、障害発生以前の周波数を保持することができる。

なお、この第1図に示す実施例は、動作の説明を容易にするため、位相同期発振器に種々の特性

圧が電圧制御発振器5の制御電圧よりも高い場合には、電圧比較回路2は論理レベル“1”を出力するから計数回路3は加算計数を行なう。この結果、計数回路3の計数結果出力は増加するので、この信号をアナログ電圧に変換するD/A変換回路4の出力である電圧制御発振器5の制御電圧も上昇する。

また、逆に、位相比較回路1の出力電圧が電圧制御発振器5の制御電圧よりも低い場合には、上記と逆に、電圧比較回路2は論理レベル“0”を出力するから、計数回路3は減算計数を行ない、D/A変換回路4の出力電圧は下降する。

以上の結果、本発明の位相同期発振器では、位相比較回路1の出力電圧と、電圧制御発振器5の制御電圧は常に等しくなるよう制御されるので、わずかな量子化誤差を除けば、位相比較回路1の出力電圧が直接電圧制御発振器5の制御電圧として与えられている従来の位相同期発振器と等しい動作を行なう。

つぎに、入力端子100に与えられる基準入力信

号を与えるため付加されるループフィルタを有さない、最も単純な位相同期発振器に対して本発明を適用した場合を示したが、ループフィルタを有する位相同期発振器に対しても本発明を適用することができるので、以下、この場合について説明する。

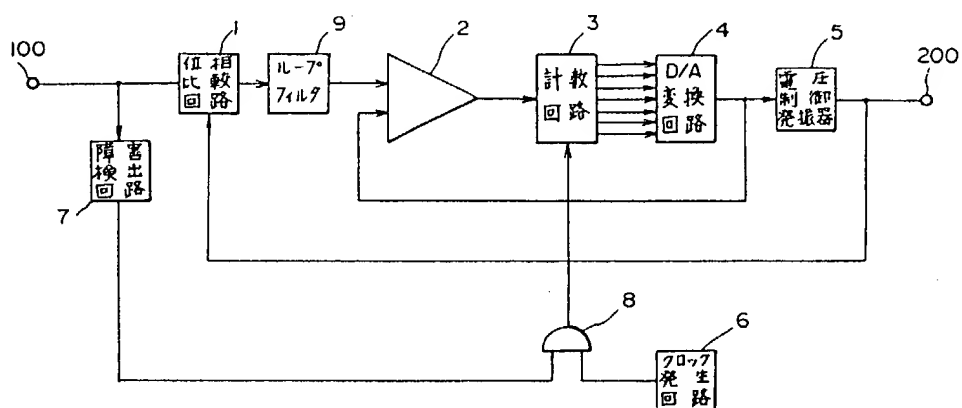
第2図は本発明の他の実施例を示すブロック図で、ループフィルタを有する位相同期発振器を示すものである。

この第2図において第1図と同一符号のものは相当部分を示し、9は位相比較回路1と電圧比較回路2との間に挿入されたループフィルタである。

そして、位相比較回路1の出力信号はこのループフィルタ9を介して電圧比較回路2に与えられるので、基準入力信号が正常な場合には、前述の第1図に対する説明と同様にして、電圧制御発振器5の制御電圧はこのループフィルタ9の出力電圧と等しく制御される。

したがって、この第2図に示す位相同期発振器は、従来のループフィルタを有する位相同期発振

第2図



第3図

